

# 一种基于 FPGA& DSP 的电子式 互感器数字接口实现方案

徐 雁, 向 珂, 肖 霞

(华中科技大学电气与电子工程学院, 湖北 武汉 430074)

Realization of the Digital Interface in Electronic Instrument Transformer Based on FPGA & DSP

XU Yan, XIANG Ke, XIAO Xia

(Huazhong University of Science and Technology, Wuhan 430074, China)

**摘要:** 为了实现电子式互感器与保护、测控设备装置之间的数字接口,介绍了电子式互感器数字接口的重要组成部分,即合并单元的功能,根据其特点提出了一种基于 FPGA 和 DSP 平台的电子式互感器数字接口实现方案。利用 FPGA 与 DSP 相互配合完成合并单元同步,多路数据接收和处理,以及以太网通讯功能,满足了电子式互感器数字接口高速、可靠的要求,有望应用于实际系统中。

**关键词:** 电子式互感器; 合并单元; 接口;

现场编程逻辑门阵列; 数字信号处理器

中图分类号: TM452.93

文献标识码: A

**Abstract:** The realization of the interface between electronic transducer and measurement or protection device is of great significance. The function of merging unit which is the key element of the interface is simply introduced in this paper. Considering the characteristics of the interface, a new realization method of the interface to electronic instrument transformer based on FPGA & DSP is proposed. By using FPGA and DSP together, the merging unit synchronism, the receiving and treatment of multi-channel data, and the function of communicating in Ethernet are finished. The method has met the needs (high speed and reliability) of the electronic transformer and has practical value for application.

**Key words:** electronic instrument transformer; merging unit; interface; field programming gate array (FPGA); digital signal processor (DSP)

## 1 引言

随着现代电力向高电压、大容量方向的发展,电子式电流/电压互感器以其动态范围大、频带宽、体积小等优点成为电力系统测控元件的重要发展方向。为了推动电子式互感器的应用,国际电工委员会已经制定了 IEC60044-7 2002、IEC60044-8 2002 和 IEC61850-9-1 2003 等标准,这些标准基于数字化

接口,具有通信能力强,与通信网络联接方便,信号准确可靠等优点,符合电力系统数字化、网络化的发展趋势<sup>[1]</sup>。笔者介绍一种基于 FPGA&DSP 的电子式互感器数字接口实现方案,并简要给出实验方法和部分实验结果。

## 2 接口功能

在 IEC60044-7 2002、IEC60044-8 2002 和 IEC61850-9-1 2003 标准中严格规范了电子式互感器与保护、测控设备的接口,并定义了接口的重要组成部分-合并单元。合并单元主要有两个方向接口,即:与一次侧 A/D 转换电路的接口和与保护、测控设备的接口。其主要功能是同步采集多路 ECT/EVT 输出的数字信号,并按照标准规定的格式发送给保护、测控设备<sup>[2]</sup>。但合并单元与数字输出的电子式互感器接口是专用连接,需自行定义连接方式<sup>[3]</sup>。文中所涉及的电子式互感器的数字接口实际即为合并单元的数字接口。按其功能可划分为 3 个模块<sup>[4]</sup>:

(1) 同步功能模块:同步功能模块是用来同步与合并单元连接的三相电流测量通路、三相电流保护通路、中性点电流通路、三相电压通路、中性点电压通路、母线电压通路,共 12 路一次侧 A/D 转换电路,并保证使全站的合并单元能够同步。合并单元接收外部的同步输入信号,根据采样率的要求产生同步采样命令,其命令格式根据实际情况自行定义。

(2) 多路数据接收和处理功能模块:这是合并单元接收 12 路 A/D 转换电路输出数字信号的接口。合并单元在发出同步采样命令后将在同一时间段内收到 12 路 A/D 转换电路输出的数字信号,并及时将数字信号进行适当地转换,以方便后续的以太网通讯模块使用。

收稿日期:2005-12-18

作者简介:徐 雁(1963-),女,副教授,研究方向为电子式互感器和智能仪器。

(3) 以太网通讯模块: 此模块用于合并单元将各路有效信号按照 IEC61850-9-1 2003 标准规定的格式组帧后通过以太网网络发送给保护、测控设备。

### 3 接口方案

根据上述合并单元的功能, 合并单元需要接收多达 12 路 A/D 转换电路传送的数字信号, 处理信号多, 信息量大。另外, 为了尽可能地降低 A/D 转换电路的功耗, 减小一次侧供电电路的设计难度, 通常一次侧电路通过一根光纤串行传送 A/D 采样值, 以降低功耗<sup>[5-6]</sup>。这就要求合并单元需将串行数据即时还原成并行数据。同时, 合并单元需要根据采样率要求发出同步采样命令。可见, 合并单元并行处理的任务很多, 实时要求高, 对外部连接的端口也很多。通用的单片机和 DSP 难以在较短时间内完成任务, 也很难提供如此多的 I/O 端口与外部连接。

现场可编程门阵列 (FPGA) 属于可编程专用集成电路 (ASIC), 其丰富的 I/O 端口以及由用户定制专门用途的特点, 特别适合完成合并单元的同步任务和多路数据接收和处理任务<sup>[7]</sup>。通过用户编程定制专门用途, 同步采样命令的产生、多路串行数据的接收和串/并转换的实现都基于 FPGA 的硬件电路并行完成, 执行速度快, 可以满足合并单元电路的强实时性和多任务要求。

合并单元数据的以太网通讯必须依赖网络控制器 (NIC) 来完成。结合前端电路已用到的 FPGA, 需要 FPGA 能和 NIC 的数据、地址总线和读、写等控制总线接口。另外, 由于一次侧 A/D 转换电路的 ADC 的分辨率位数及参考源的原因, 二次侧的数字量并不一定等于协议规定的数值, 在数据发送之前, 还需要对输出的数字量进行数字定标处理, 并要求系统能方便地修改数字定标系数。这些都要求合并单元应具备数据运算能力和过程控制能力。结合已使用的 FPGA, 有 3 种实现方案: ①使用嵌入微控制器或微处理器硬核的 FPGA; ②FPGA 中嵌入处理器软核 (IP 核), 例如在 Cyclone FPGA 中嵌入 Nios 处理器软核; ③在合并单元系统中加入 DSP, 由 DSP 与 FPGA 相互配合, 共同完成合并单元的所有功能。在实际应用中选择了方案 3 架构整个合并单元系统。按照此接口方案, 合并单元系统结构见图 1。

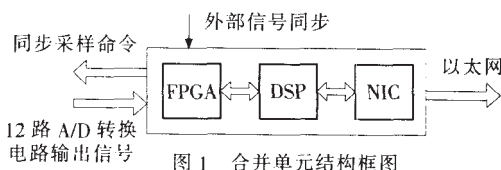


图 1 合并单元结构框图

### 4 接口实现

#### 4.1 同步功能模块

同步的主要目的是全站的合并单元能提供同一

时刻的电流、电压信号供保护、测控设备使用。比较好的方法是全站的合并单元在同一时刻对 A/D 转换电路发出采样命令。显然, 这需要外部统一的同步信号。通常统一的外部同步信号是由变电站提供的秒脉冲供各合并单元使用。

具体的实现方法是 FPGA 将首先判断外部秒脉冲 (pps) 的正确性。若连续 3 次 pps 都在误差容许范围 (4 μs) 内每隔 1 s 产生一次秒脉冲, 则认为 pps 正确, 可产生同步采样命令。FPGA 通过对高精度高稳定度的晶振时钟分频来产生满足采样率要求的同步采样命令。由于晶振的原因, 各合并单元采样命令的频率会有误差, 随着时间的推移此误差将累积增大, 并且其初始相位也不相同, 难以保证各合并单元能在同一时刻发出同步采样命令。引入外部秒脉冲的目的在于通过每秒强制同步一次, 在秒脉冲间隔时间内则依靠各自的晶振保证采样命令频率的恒定。若秒脉冲信号丢失, FPGA 将给出警告信息, 采样命令将依据晶振时钟继续产生。

#### 4.2 多路数据接收和处理功能模块

多路数据接收和处理功能模块主要任务是接收 12 路 A/D 转换电路发送的串行数字信号, 并将其转换成并行数据, 完毕后存入缓冲区并告知 DSP 读取。模块内电路框图见图 2, 实际电路由 HDL 生成。

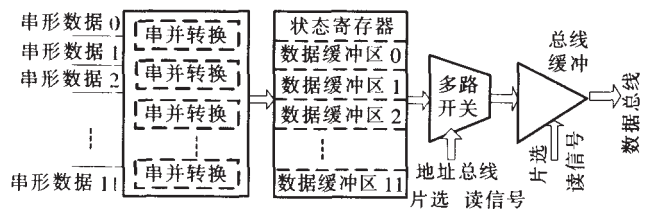


图 2 多路数据接收和处理功能模块电路原理框图

串/并转换模块将串行数据移位成并行数据。每一路串/并转换完毕都将使状态寄存器 SR 的相应位置“1”, SR 的所有有效位逻辑用来产生中断信号通知 DSP 转换完毕。DSP 进入中断服务程序后将首先读取 SR 的值, 查询相应位状态决定读取哪路信号的数据缓冲区。每次 DSP 从数据缓冲区读走数据以后, SR 的相应位自动清零以避免 DSP 多次中断。

#### 4.3 以太网通讯模块

以太网通讯模块的功能主要由 DSP 控制 NIC 来完成。DSP 程序流程图见图 3。

在 DSP 的主程序中首先对 NIC 进行初始化并按照 IEC61850-9-1 标准规定的帧格式对 NIC 发送的发送缓冲区数据作初次填写。当 DSP 接收到 FPGA 送来的数据处理完毕中断信号后, 便进入相应的中断服务程序。DSP 根据状态寄存器 SR 的值读取相应的数据后, 将对数据进行定标运算, 然后更新 NIC 发送缓冲区相应的数据, 对 NIC 发出发送数据命令后退出中断。NIC 将根据发送缓冲区内容通

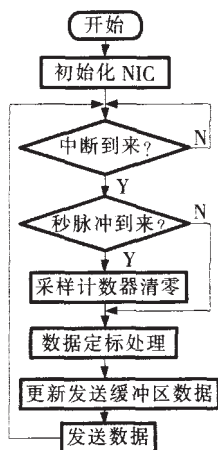


图 3 DSP 程序流程图

过以太网发送数据至目的地址。在另一进程,若 FPGA 给出提示外部同步秒脉冲已到来, DSP 将对数据帧内的采样计数器值清零。

### 5 校验方法与结果

根据该方案研制的样机已在国家高电压计量站通过型式实验。图 4 简要给出校验方法。校验中,同一电流、电压信号被两套系统同时测量。一套由国家高电压计量站认可的标准电流/电压互感器与标准数据采集系统组成,另一套由组合式电子电流/电压互感器与合并单元组成。两套系统同步测量的结果送入 PC 机,其中标准数据采集系统采用 GPIB 接口传送数据,合并单元使用对接网线传送数据。PC 机上专用的校验程序将对两套系统传送的数据还原成波形并进行对比,并计算出电子式互感器与合并单元组成系统的比差、相差。

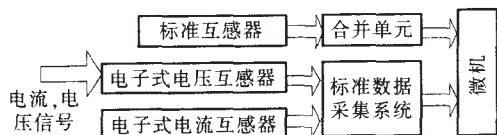


图 4 合并单元校验方法框图

图 5 给出 PC 机上还原出的标准系统和被校系统测量的电流信号波形。波形显示两套系统测量的波形几乎完全重合。表 1 和表 2 给出了在实际 2000 A 电流和 220 kV 电压不同百分比情况下的准确度试验结果。试验结果显示整个系统的比差与相差均优于 IEC 标准规定的在不同的信号百分比下 0.2 级准确级所允许的误差限值<sup>[2]</sup>。由于合并单元采用数字方式传送数据,在其可靠工作的情况下,它对整个电子式互感器系统的比差没有任何影响,系统的比差完全取决于前端电子式互感器的精度。在数据的处理和传送过程中,合并单元会产生一定的延时,但由于该延时为一固定值,可以通过前端电子式互感器将整个系统的相差调整在 IEC 标准规定的范围以内。

实验中,合并单元工作稳定,传输可靠,各项指

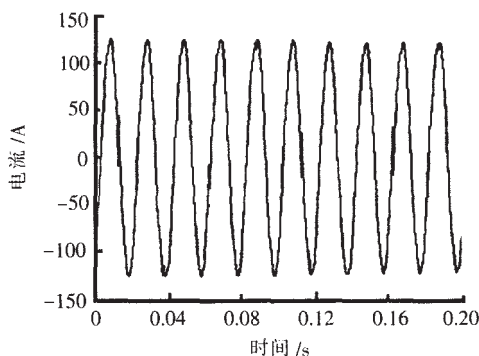


图 5 还原出的波形对比

表 1 电流计量通道准确度试验结果

电流百分比/%	比差/%	相差/分
5	0.03	3.0
2	0.01	0.8
100	-0.03	0.6
120	-0.04	0.5

表 2 电压通道准确度试验结果

电流百分比/%	比差/%	相差/分
2	0.32	6.9
8	0.10	2.0
80	0.03	2.0
100	0.05	0.2
120	0.05	-0.9
150	0.05	-3.2

标满足 IEC 标准要求,可以验证此设计方案满足合并单元的设计要求。

### 6 结语

FPGA 与 DSP 相结合的电子式互感器数字接口方案,充分利用了 FPGA 由用户定制专用硬件电路的高速、并行处理能力和在 DSP 已有硬件条件下进行软件编程控制的能力,两者互相补充,体现了软硬件互相融合协同工作的趋势:软件的硬化(FPGA)和硬件的软化(DSP)。实验证明该方案满足电子式互感器数字接口高速、稳定的要求,有望在实际工程中得以应用。

### 参考文献:

- [1] 徐雁,叶妙元,张庆,等. 光电互感器的应用及接口问题[J]. 电力系统自动化, 2001, 25(24): 45-48, 2.
- [2] IEC60044 -8. Instrument Transformers-part 8: Electrical Current Transducers[S]. 2002.
- [3] IEC61850 -9 -1. Communication Networks and Systems in Substations-part 9 -1: Specific Communication Service Mapping-sampled Value Over Serial Unidirectional Multidrop Point to Point Link[S]. 2003.
- [4] 殷志良,刘万顺,秦应力,等. 一种基于 FPGA 技术的电子式互感器接口实现新方法[J]. 电力系统自动化, 2004, 28(14): 93-96.
- [5] 张庆,徐雁,胡爱华,等. 光电电流传感器的低功耗设计[J]. 高压电器, 2002, 38(6): 25-27.
- [6] Bob Zeidman. Designing with FPGAs & CPLDs [M]. Lawrence (KS): CMP Books, 2002.
- [7] 贺志容,叶妙元,肖霞,等. 基于 CPLD 的 AOTV 单光纤传输方案[J]. 高电压技术, 2004, 30(10): 32-33.